

基于相关性模型的混合电路系统测试性设计研究

王晋阳^{1,2}, 陈圣俭¹, 张胜满^{1,3}, 宋克岭⁴

(1 装甲兵工程学院 控制工程系, 北京 100072; 2 总装备部 63963 部队, 北京 100072;

3 总装备部 63956 部队, 北京 100093; 4 北京 969 信箱, 55 分箱, 北京 100072)

摘 要: 针对测试性设计要求, 基于 IEEE1149.4 标准, 利用相关性模型对某控制盒的混合电路系统进行测试性分析与建模, 建立被测系统各组成单元与边界扫描测试之间的相关性矩阵, 得到优化的边界扫描器件置换与边界扫描结构置入方法. 通过制定相应的诊断策略, 给出一种通用的混合信号电子系统 BIT 设计方案. 系统验证实验表明, 该方法测试迅速, 可以有效地提高电子系统测试性.

关键词: 混合信号; 电路相关性模型; 边界扫描; BIT; 故障检测

中图分类号: TP277

文献标识码: A

文章编号: 1000-7180(2011)02-0157-05

Research on Design for Testability of Mixed-Signal Circuits Based on Relevance Model

WANG Jin-yang^{1,2}, CHEN Sheng-jian¹, ZHANG Sheng-man^{1,3}, SONG Ke-ling⁴

(1 Department of Control Engineering, Academy of Armored Forces Engineering, Beijing 100072, China;

2 63963 Army in General Armament Department, Beijing 100072, China;

3 63956 Army in General Armament Department, Beijing 100093, China;

4 Beijing Mail Box 969, Branch Box 55th, Beijing 100072, China)

Abstract: In view of the requirement of design for testability, based on the IEEE Std 1149.4, a optimize method of the replacement and interposition of boundary scan components is proposed by using the relevance model to analyze and make modeling for a mixed-signal system, and building the dependency matrix between the parts of the circuits and the boundary scan test. A universal design of BIT is presented by making the corresponding diagnostic strategy. The verifying experiment of system indicates that the optimize method can make test rapidly and promote the testability of electronic system efficaciously.

Key words: mixed-signal; relevance model of circuit; boundary scan; built-in test (BIT); fault detect

1 引言

当前现有的电子系统测试性设计方法和技术, 主要包括系统外部测试和机内测试(BIT)两种. 由于 BIT 能够进行在线测试, 且检测时间短, 自动化程度高, 在测试性研究中占据了重要的地位. 但常规的 BIT 技术存在测试信息获取不完整、通用性差等缺点, 影响了其应用发展^[1]. 边界扫描技术作为一种先进的测试性设计技术, 可以很好解决常规 BIT 技

术中存在的问题. IEEE1149.4 标准作为对 IEEE1149.1 标准的重要扩充, 其发展与完善, 给模数混合信号的电子系统提供了一种基于测试总线结构的通用测试性设计方案^[2].

文中基于边界扫描技术, 利用相关性模型^[3]对某系统控制盒的混合信号电路进行测试性分析与建模, 通过建立被测系统各组成单元与边界扫描测试之间的相关性矩阵, 得到优化的边界扫描器件置换与边界扫描结构置入方法, 并制定相应的诊断策略, 从而给

出了一种通用的混合信号电子系统 BIT 设计方法。

2 相关性分析与建模

2.1 定义

电子系统的测试性分析是进行 BIT 设计的前提。作为测试性设计的数学模型,相关性模型适用于各级系统的测试性分析与建模,提高了电路系统故障诊断和隔离的效率^[4]。结合边界扫描技术,与被测系统相关性分析与建模有关的定义如下:

(1) 组成单元及其故障:被测对象的组成部件,作为故障隔离的对象,称作组成单元。根据测试性设计要求的故障定位级别不同,被测系统的组成单元可以定义为一块电路板,也可以是一个功能模块或芯片。文中用 F_i 表示被测系统的组成单元,当被测系统处于故障状态时,进行单故障假设。

(2) 测试:包含测试激励施加与测试响应捕获两部分内容, T_i 用表示。由于电子系统中存在大量非边界扫描芯片,需要在测试性设计时对被测系统进行边界扫描芯片的置换与边界扫描结构的置入,形成包围非边界扫描芯片的边界扫描链,从而获得系统中部分节点的可控性与可观性。在用扫描链进行测试时,应根据测试激励施加位置与测试响应采集位置两个因素共同对测试点进行定义。若两个测试的采集响应位置相同,但由于测试激励施加位置不同,造成测试覆盖范围的大小不同,则在测试性设计时应定义为两个测试。

(3) 相关性:被测系统的组成单元与测试之间、组成单元之间存在逻辑关系。对于某一测试,若其覆盖范围包含组成单元,则称两者相关,反之为不相关。

2.2 相关性模型

对被测系统的结构和功能进行分析划分后,得

表 1 某系统控制盒中的可用边界扫描测试点

T	激励施加位置	响应采集位置	相关模块	测试说明
T1	无	①	F9	STA400MTEP 对①处电压输出进行采样,以判断电源模块是否工作正常。
T2	⑨	⑥	F1, F6, F7	单片机读出各个在⑨处由边界扫描单元设置的值,通过一定的处理后通过 D/A 转换电路进行输出并检测,以验证 F1, F6, F7 是否工作正常。
T3	⑨	②	F1, F7	在⑨处通过边界扫描单元设置值,然后单片机读取该值并与设置值进行比较,以验证 F1, F7 是否工作正常。
T4	⑧	③	F3	单片机控制击发门电路并对输出进行采样,以验证 F3 是否工作正常。
T5	⑧	④	F4	单片机发出控制指令与数据,通过边界扫描单元对输出结果进行采样、比较,以验证该 F4 是否工作正常。

出其功能框图,表明系统的功能流向和各组成单元的相互连接关系。在框图中标注所初选的边界扫描测试点位置和编号,最终可得到表明各组成单元和测试点间相关性关系的图示模型^[5]。图 1 所示对某系统控制盒电路^[6]进行相关性分析后,建立的图示模型。

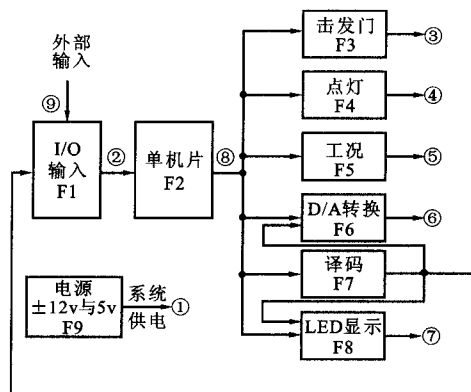


图 1 某系统控制盒相关性图示模型

2.3 相关性数学模型

被测系统的相关性数学模型可以用下述矩阵来表示:

$$D_{m \times n} = \begin{matrix} & \begin{matrix} T_1 & T_2 & \cdots & T_n \end{matrix} \\ \begin{matrix} F_1 \\ F_2 \\ \vdots \\ F_n \end{matrix} & \begin{bmatrix} d_{11} & d_{12} & \cdots & d_{1n} \\ d_{21} & d_{22} & \cdots & d_{2n} \\ \vdots & \vdots & & \vdots \\ d_{m1} & d_{m2} & \cdots & d_{mn} \end{bmatrix} \end{matrix}$$

其中, $d_{ij} = 1$ 表示边界扫描测试 T_j 的检测范围包含组成单元 F_i (即 T_j 与 F_i 相关); 若 $d_{ij} = 0$, 则测试 T_j 的检测范围中不包含组成单元 F_i (即 T_j 与 F_i 不相关)。通过分析被测系统, 可用的边界扫描测试点如表 1 所示。

续表 1

T	激励施加位置	响应采集位置	相关模块	测试说明
T6	⑧	⑤	F5	单片机控制工况电路并对输出进行采样,以验证 F5 是否工作正常.
T7	⑧	⑥	F6,F7	单片机发出 D/A 控制指令并在⑥处检测输出电压并比较,以验证 F6,F7 是否正常工作.
T8	⑧	⑦	F7,F8	单片机发出控制指令并对输出进行采样,以验证 F7,F8 是否工作正常.
T9	无	无	F2	边界扫描链完整性测试.

由此,可得出该被测系统的相关性数学模型如下:

$$D_{9 \times 9} = \begin{bmatrix} 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

3 测试优选及故障诊断策略制定

3.1 选择故障检测用测试点

在故障检测用测试点选择过程中,测试 T_j 的故障检测权值 W_{FD} 可用下式计算^[3]:

$$W_{FD} = \sum_{i=1}^m d_{ij}$$

首先,计算出相关性矩阵 D 各个测试的 W_{FD} ,选取其中 W_{FD} 最大者为第一个检测用测试 T_{P1} ;第二步,在 D 中去掉 T_{P1} 所在列以及该列中等于“1”的元素所在的行,得到子矩阵 D' ;最后,如果 D' 中行数不为零,再计算 D' 中各个测试的 W_{FD} ,选取其中 W_{FD} 最大者为第二个检测用测试 T_{P2} . 如此重复,直到得到的相关性矩阵行数为零,此时故障检测用测试选择过程完成. 对于图 1 中被测系统,应用上述方法可得故障检测用测试为(按选出的先后顺序排列): $T_2, T_1, T_4, T_5, T_6, T_8, T_9$.

3.2 选择故障隔离用测试

在故障隔离用测试选择过程中,测试 T_j 的故障隔离权值 W_{FI} 可用下式计算^[5]:

$$W_{FI} = \sum_{k=0}^Z (N_j^1 N_j^0)_k$$

其中 N_j^1 表示测试 T_j 所在列中为“1”元素的个数; N_j^0 表示测试 T_j 所在列中为“0”元素的个数; Z

表示选择过程中产生的子矩阵数.
第一步:计算初始相关性矩阵 D 中各个测试的 W_{FI} ,选取 W_{FI} 最大者作为第一个故障隔离用测试 T_{i1} ;
第二步: T_{i1} 将矩阵 D 一分为二,其中 T_{i1} 中为“1”元素对应的行组成的子矩阵成为 D_1^1 , T_{i1} 中为“0”元素对应的行组成的子矩阵成为 D_1^0 ,分割后 $Z = 2$;
第三步:对矩阵 D_1^1 和 D_1^0 计算其它测试的 W_{FI} 值,选取最大者为第二个故障隔离用测试,再次分割子矩阵,分割后 $Z = 4$. 如此重复,直到各子矩阵变为只有一行,此时故障隔离用测试点选择完成.

对图 1 中的被测系统,应用上述方法得到故障隔离用测试为(按选出的先后顺序排列): $T_2, T_8, T_1, T_4, T_5, T_6, T_7$.

3.3 制定诊断策略

在应用边界扫描技术进行测试时,首先要保证边界扫描链路的完整性,故应先进行边界扫描链完整性测试 T_9 . 由于电源系统的好坏直接影响整个系统的运行,所以要进行系统电源的测试 T_1 . 完成上述两个测试后,以测试的优选结果为基础,先检测后隔离,以边界扫描测试选出的先后顺序制定诊断策略.

被测系统的诊断策略可以用故障诊断树的形式表示. 从第一个故障检测用测试开始,按测试结果的正常与否画出两个分支:

(1) 对于正常分支(以“0”表示),继续用第二个故障检测用测试对系统进行检测,再画出两个分支,若测试结果为不正常,则转入下一步,否则仍继续对系统进行测试,直到用完所有故障检测用测试,表示被测系统无故障.

(2) 对于不正常分支(以“1”表示),使用第一个故障隔离用测试,按其结果是否正常(“0”和“1”)分为两个分支;再用第二个故障隔离用测试,画出两个分支,直到所用分支为单个组成单元为止,表示故障

隔离完成。

对图 1 中的被测系统,按照上述方法得到的故障诊断树如图 2 所示。

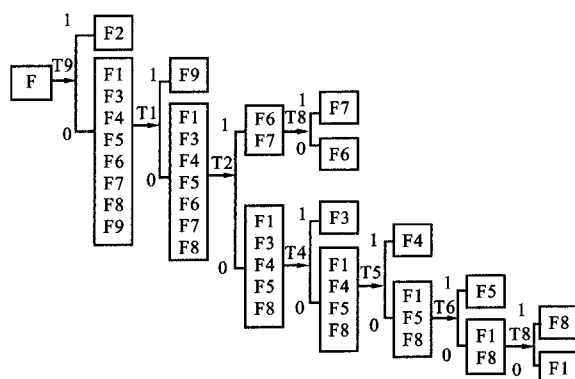


图 2 某系统控制盒的故障诊断树

4 系统的设计验证

对该系统在 BIT 设计的具体实现中,主要完成三个部分:

(1) 边界扫描器件替换与边界扫描结构置入。对位于测试激励施加和测试响应采集位置上的芯片,有具备相同功能的带有边界扫描结构的芯片,可直接进行置换;否则在该位置上置入功能简单且带

有边界扫描结构的芯片。

(2) 边界扫描控制器的嵌入。采用 JTAG 总线控制器 SN74ACT8990 芯片,根据主控处理器的测试指令和数据,产生 TMS、TDI 信号并注入到被测系统中,同时接收被测系统 TDO 信号。对组成单元中含有微处理器的被测系统,利用该微处理器来对 JTAG 总线控制器进行控制。不含微处理器的被测系统,则需要另外嵌入微处理器来对 JTAG 总线控制器控制,完成整个边界扫描测试。

(3) 边界扫描链路的搭建。根据 IEEE1149.4 标准,连接被测边界扫描芯片,通过边界扫描控制器对其控制,从而构成完整的边界扫描链路。具体实现原理如图 3 所示。

系统的测试性设计完成后,根据对所建模型的分析,可在以下位置增加装置及通过改变可调电阻阻值来注入故障,验证改进后的混合电路机内测试功能:

(1) 接口电路中 74BCT8373 的 TDI 引脚处增加连线开关,断开或闭合边界扫描链,用于注入边界扫描链完整性故障;

(2) 微处理器与接口电路之间的数据总线处增加连线开关,用于注入互连网络故障^[5];

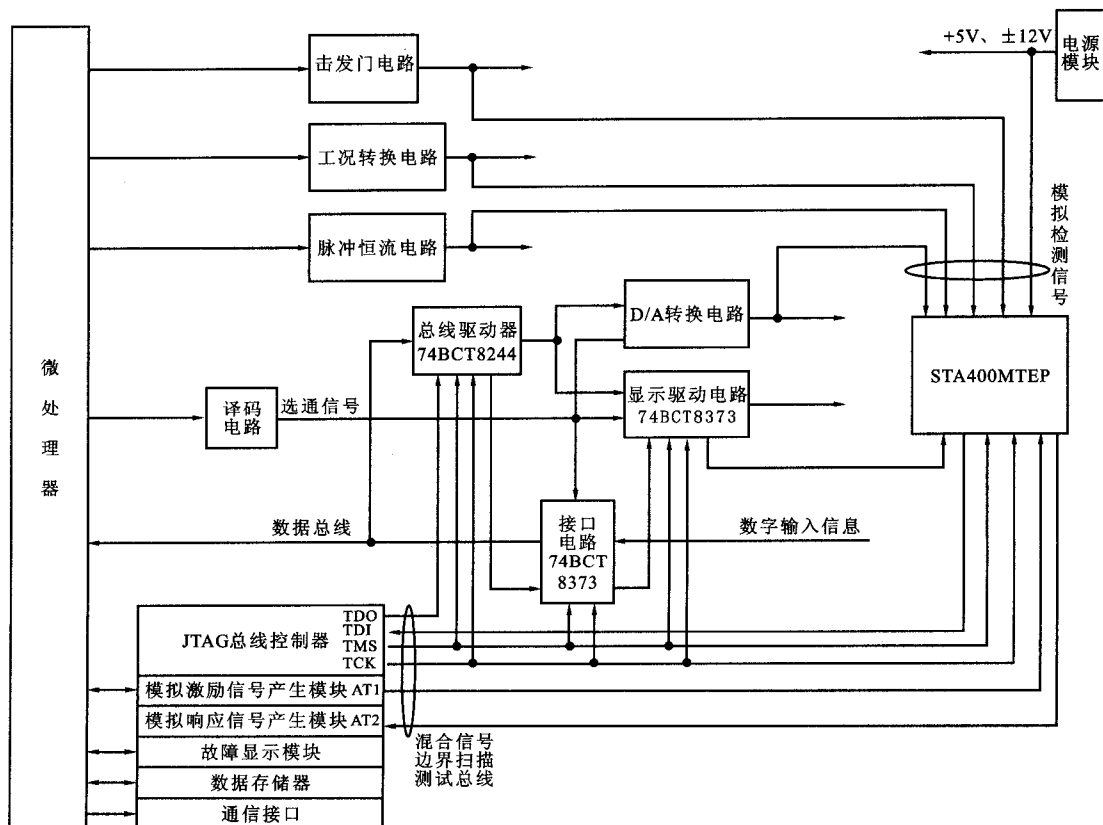


图 3 经过 BIT 设计后的控制盒电路结构

(3) 通过改变 D/A 模块中可变电阻的阻值,用于注入功能性故障。

通过对测试结果验证分析,改进后的控制盒系统测试迅速,故障定位准确,达到了设计要求。

5 结束语

文中基于边界扫描技术,利用相关性模型,提出了一种完整的混合信号电子系统 BIT 的测试性建模与设计方案,并通过实际系统进行了验证。实验结果表明该方法分析简单,通用性强,对于提高混合信号系统的 BIT 性能及边界扫描技术的工程应用具有重要意义。

参考文献:

- [1] 温熙森,徐永成,易晓山,等. 智能机内测试理论与应用[M]. 北京:国防工业出版社,2002:2-5.
- [2] 陈星,黄考利,连光辉,等. 从 1149.1 标准到 1149.7 标准分析边界扫描技术的发展状[J]. 计算机测量与控制,

2009,17(8):18-20.

- [3] 田仲,石君友. 系统测试性设计分析与验证[M]. 北京:北京航空航天大学出版社,2003:181-185.
- [4] 王栋,陈圣俭,张伟伟,等. 一种基于非并行 BIT 的测试性设计模型[J]. 微电子学与计算机,2008,25(6):116-117.
- [5] 张胜满. 基于边界扫描的混合电路机内测试研究[D]. 北京:装甲兵工程学院,2009:38-41.
- [6] 朱竞夫,赵碧君,王钦钊. 现代坦克火控系统[M]. 北京:国防工业出版社,2003:133-135.

作者简介:

王晋阳 男,(1982-),硕士研究生. 研究方向为电子系统故障诊断及智能机内测试.

陈圣俭 男,(1965-),教授,博士生导师. 研究方向为电子系统故障诊断及智能机内测试.

张胜满 男,(1986-),硕士研究生. 研究方向为电子系统故障诊断及智能机内测试.